

MENU

SEARCH

INDEX

1/1



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11)Publication number: 07193562

(43)Date of publication of application: 28.07.1995

(51)Int.Cl.

H04L 7/00
H04L 7/027

(21)Application number: 05331164

(71)Applicant:

NEC CORP

(22)Date of filing: 27.12.1993

(72)Inventor:

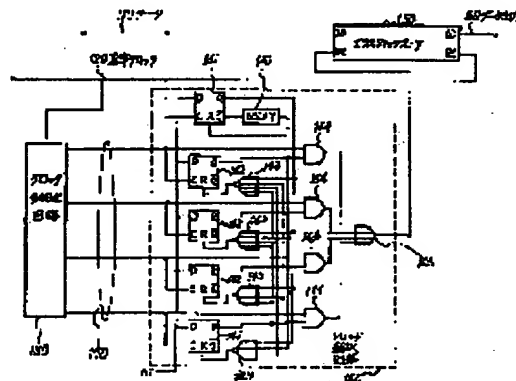
SHIDA YASUNARI

(54) BIT SYNCHRONOUS CIRCUIT

(57)Abstract:

PURPOSE: To provide a high speed bit synchronous circuit of a burst signal in an optical subscriber transmission system using PDS constitution.

CONSTITUTION: The bit synchronous circuit is provided with a clock multi-phase circuit 130 inputting a reference clock, a clock selection circuit 140 inputting a multi-phase clock 170 and data 110 and an elastic storage 150 inputting data 110, the output of the clock selection circuit 140 and a reference clock 120. The clock selection circuit 140 is provided with DFF141, NOR143, DFF142, AND144 inputting one clock 170 and the output of DFF142 inputting the clock 170, and OR145 inputting the outputs of all AND144.



LEGAL STATUS

Best Available Copy

[Date of request for examination] 16.03.1995
[Date of sending the examiner's decision of rejection]
[Kind of final disposal of application other than the
examiner's decision of rejection or application converted
registration]
[Date of final disposal for application]
[Patent number] 2595887
[Date of registration] 09.01.1997
[Number of appeal against examiner's decision of rejection]
[Date of requesting appeal against examiner's decision of
rejection]
[Date of extinction of right]

Copyright (C); 1998 Japanese Patent Office

MENU

SEARCH

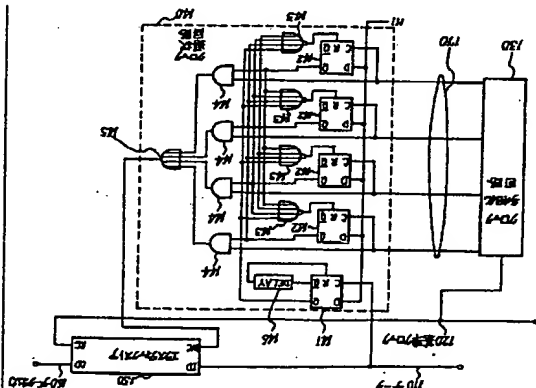
INDEX

Best Available Copy

(19) 日本国特許庁 (J P)	(12) 公開特許公報 (A)	(11) 特許出願公開番号
		特開平7-193562
		(43) 公開日 平成7年(1995)7月28日
(5) Int. Cl. ⁴ H04L 7/00 7/027	識別番号 A	技術表示箇所 FI
	H04L 7/02	A
審査請求 有 請求項の数 2 OL (全 6 頁)		
(21) 出願番号 特願平5-331164	(71) 出願人 00004237 日本電気株式会社 東京都港区芝五丁目7番1号 志田 靖彦	
(22) 出願日 平成5年(1993)12月27日	(72) 発明者 志田 靖彦 東京都港区芝五丁目7番1号 日本電気株式会社内	
	(74) 代理人 弁理士 京本 直樹 (外2名)	

(54) 発明の名称 ビット同期回路

(57) 【要約】
【目的】 PDS構成を用いた光加入者伝送システムにおけるパースト信号の高速ビット同期。
【構成】 本発明のビット同期回路は、基準クロックを入力とするクロック多相化回路130と、多相クロック170とデータ110とをクロック選択回路140の出力と基準クロック120を入力とするエラステックス1715より構成される。上記クロック選択回路140は、DFF141と、DFF141の出力とするDFF141と、NOR143と、DFF142と、クロック170のひとつとそれを入力とするDFF142の出力とを入力とするAND144と、全てのAND144の出力を入力とするOR145より構成される。



【特許請求の範囲】

【請求項1】 基準クロックを入力とし、異なる位相を持ったN個の複数のクロック信号を出力するクロック多相化回路と、
前記N個の複数のクロック信号と受信データとを入力とするクロック選択回路と、前記クロック選択回路の出力を基準クロックとして受信データとを逐次読み、基準クロックを読み出しクロックとしてデータとを出力するエラステックス17 (メモリ) を有するパースト信号ビット同期回路において、
上記クロック選択回路が、
前記複数のクロック信号の第i番目 (iはからNまでの整数) のクロック信号をクロック入力とし、第1のNOR回路の出力をリセット入力とし、データ入力を受信データに固定した第1のDFF回路と、
受信データとクロック入力とし、逐次データの出力をリセット入力とし、データ入力をハイレベル固定とする第N+1のDFF回路と、
前記第N+1のDFF回路の出力を入力とする前記逐次素子と、
前記第1からN+1のDFF回路のうち第1番目のDFF回路以外のDFF回路の正転出力を入力とする第1のNOR回路と、
前記複数のクロックの第i番目のクロック信号と前記第1のDFF回路の正転出力を入力とする第1のAND回路と、
前記第1から第NのAND回路の出力を入力とし、前記エラステックス17へ出力するOR回路を有することを特徴とするビット同期回路。
【請求項2】 前記基準クロックを、位相比較器、ループフィルタおよび電圧制御発振器から構成される位相同期発振器で発生し、前記位相比較器の出力信号として前記入力データと前記逐次読みクロックを使用することを特徴とする請求項1記載のビット同期回路。
【発明の詳細な説明】
【0001】
【産業上の利用分野】 本発明は、ビット同期回路に関し、特にパースト信号のビット同期回路に関する。
【0002】
【従来の技術】 従来、この種のビット同期回路は、例えば「電子情報通信学会論文集」第92巻、第3、19頁、5、28頁、[1991年電子情報通信学会秋期大会B-601、602]で示されるように、PDS (パッシブダブルパスポート) 構成の光加入者伝送システムにおいて、各加入者ごとに位相の異なる受信データとパースト信号に対して同期ひくことを目的として用いられている。
【0003】 図1は従来のビット同期回路の一例を示すブロック図である。図2はクロックを4相とした場合を示している。図3は従来のビット同期回路は、システム

クロック220を入力とする分周回路230と、分周回路230の出力およびシステムクロック220を入力とするクロック多相化回路240、クロック多相化回路240の出力である多相クロック170とデータ110を入力とするクロック選択回路250、クロック選択回路250の出力を入力とする逐次素子260、データ110と逐次素子260の出力と分周回路230の出力とを入力とするエラステックス17150とから構成される。
【0004】 上記、クロック選択回路250は、多相クロック170とアップダウンカウンタ252の出力を入力とするセレクタ251、データ110をクロック入力とし、セレクタ251の出力をアップダウン制御信号とするアップダウンカウンタ252から構成されている。
【0005】 図3 (a) および (b) は、クロック多相化回路の構成例を示すブロック図である。クロック多相化回路130は、基準クロック120を初段の出力とし、逐次素子131の縦線接続により構成される。
【0006】 クロック多相化回路204は、Dタイプフリップフロップ (DFF) 242の縦線接続により構成される。DFF242のうち半数はシステムクロック220をクロック入力とし、半数はシステムクロック220をクロック入力とし、半数はシステムクロック220をインバータ241で反転したものをクロック入力とする。この場合、クロックの多相化数はN、基準クロックの周波数をTとすると、システムクロックは2T/Nの周波数となる。図4は各クロックとデータの関係を示した波形図である。多相クロック170はT/N毎の位相差をもっていることが望ましい。
【0007】 次に、図4を用いて、図2の回路を説明する。データ受信アップダウンカウンタ252はカウンタ値0を出力し、これにより多相クロック170は位相1が選ばれているとする。データ110は図4のタイミングで変化し、アップダウンカウンタ252は、アップダウン制御信号がHレベルであるとき、カウント値を減し、Lレベルであるときカウント値を進めるものとする。
【0008】 データ110が選ばれ、アップダウンカウンタ252のクロック入力が増え上がる。いま、セレクタ251は位相1のクロックを出力している。この時のカウンタ252のアップダウン制御信号はLであるのでカウンタ252は、カウント値を進め、それによりセレクタ251は位相2のクロックを出力する。次にデータが増え上がる。この時もクロックはLであるから、同様にカウンタ252はカウント値を進め、それによりセレクタ251は位相3のクロックを出力する。次にクロックが増え上がる。この時クロックはHであるから、今度はカウンタ252はカウント値を減し、セレクタ251は位相2のクロックを出力する。この様にカウンタ252は、データが増え上がる時の、セレ

クタ251で選ばれているクロックのハイ、ローを評価し、データの立ち上がりがあるクロックのたが下がり一致するように制御かける。図4の場合には、位相2のクロックと位相3のクロックがデータの立ち上がり毎に交互に選ばれる。

[0009] この選択されたクロックは遅延回路260で内部遅延の適正化を図られ、エラステティックストア50の書き込みクロックとなる。エラステティックストア150は分周回路230の出力であるクロック270を被み出しクロックとしてデータ160を出力する。

[0010]

[発明が解決しようとする課題] しかしながら、上述した従来のビット同期回路には、多相化したクロックの選択制御手段としてカウンタを用いているため、同期引き込みまで何回かの立ち上がり（通常データの頭に1、0の交替のビット列を加える。これをプリアンブルビットという）を必要とし、同期引き込みまでの時間が長いという問題がある。

[0011] 本発明の目的は上述した欠点を除去したビット同期回路を提供することにある。

[0012]

[課題を解決するための手段] 上述の欠点を除去するために、本発明のビット同期回路は、基準クロックを入力とし、N個の異なる位相を持った複数のクロック信号を出力するクロック多相化回路と、前記N個の複数のクロック信号と受信データを入力とするクロック選択回路と、前記クロック選択回路の出力を書き込みクロックとして受信データを書き込み、基準クロックを被み出しクロックとしてデータを書き出すエラステティックストア（メモリ）を有し、上記クロック選択回路が、前記複数のクロック信号の第1番目（i）から第Nまでの複数のクロック信号をクロック入力とし、第iのNOR回路の出力をリセット入力とし、データ入力を所定の値に固定した第1のDFF回路と、受信データをクロック入力とし、遅延素子の出力をリセット入力とし、データ入力をハイレベル固定とする第N+1のDFF回路と、前記第N+1のDFF回路の出力を入力とする前記遅延素子と、前記第1から第NのDFF回路のうち第i番目のDFF回路以外のDFF回路の正転出力を入力とする第iのNOR回路と、前記複数のクロックの第i番目のクロック信号と、前記第1のDFF回路の正転出力を入力とする第iのAND回路と、前記第1から第NのN個のAND回路の出力を入力とし、前記エラステティックストアへ出力するOR回路を有している。

[0013]

[実施例] 次に本発明について、図面を参照して説明する。図1は、本発明の第一の実施例を示すブロック図である。クロックを4相とした場合を示している。

[0014] 本発明のビット同期回路は、基準クロック120を入力とするクロック多相化回路130、クロック

多相化回路130の出力である多相クロック170とデータ110を入力とするクロック選択回路140、データ110とクロック選択回路140の出力と基準クロック120を力とするエラステティックストア150より構成されている。

[0015] クロック選択回路140は、DFF141、DFF142、NOR143、AND144、OR145および遅延素子146により構成されている。DFF141はデータ110をクロック入力、遅延素子146の出力をリセット入力とし、データ入力はハイレベル（H）に固定されている。遅延素子146は、DFF141の反転出力を入力とし、DFF142、AND144は、多相化されたクロック170の各々に1セプトずつ遅延されている。NOR143は、DFF141の出力と自分自身の出力をリセット入力とし、他の全てのDFF142の出力を入力としている。DFF142は、クロック170をクロック入力、NOR143の出力をリセット入力とし、データ入力はハイレベル（H）に固定されている。AND144は、クロック170とDFF142の出力を入力し、OR145は、全てのAND144の出力を入力としている。

[0016] 次に図1のビット同期回路の動作を説明する。クロック多相化回路130は、基準クロック120を用い、T/N（Tはクロックの周期、Nは多相化）の遅延を持ったN本のクロック170を生成する。クロック選択回路140は、データ110の立ち上がりを見出し、クロック170の中から、データ110を書き込むクロックを選択し出力する。エラステティックストア150は、このクロックを書き込みクロックとしてデータ110を出力する。基準クロック120を被みだしクロックとしてデータ160を出力する。

[0017] 次に、クロック選択回路140の動作について説明する。データ110が立ち上がるとDFF141は、H1を出力する。このH1出力は遅延素子146の遅延時間だけ遅れ、その後、ローレベル（L0）となる。DFF141の出力がH1のとき、その後、ローレベル（L0）となる。DFF142はリセット状態となり、出力がL0である。次にDFF141の出力がL0になると、DFF142はリセットを解除される。この後、クロック170のどれかが立ち上がると、そのクロックに接続されているDFF142の出力がH1となり、その他のDFF142にリセットをかけ、それらの出力をL0とする。AND144により、出力がL0となっているDFF142に接続されているクロック170は出力されない。これにより、クロックが選択される。その後、データ110が立ち上がるたびにこの動作が繰り返される。クロック多相化回路130の代わりにクロック多相化回路240を用いてもよい。

[0018] 次に第2の実施例について図面を参照して説明する。図5は本発明の第二の実施例を示すブロック

図である。図5はクロックを4相とした場合を示している。

[0019] ビット同期回路100はデータ110と7ナログPL1520で生成される基準クロック120を入力とし、インバータ510は、クロック選択回路140の出力クロック530を入力としている。PL1520は、データ110とインバータ510の出力を入力する位相比較器521と、位相比較器521の出力を入力するループフィルタ522と、ループフィルタ522の出力と保持番号540を入力とする保持回路523と、保持回路523の出力を入力とするVCO（電圧制御発振器）524から構成されている。クロック選択回路140内の遅延素子146はT/4（Tはデータ周期）にデータのジッタ幅を加えた値に遅延を規定する。

[0020] 次に動作について説明する。クロック選択回路140は遅延素子146を上記のように設定したことで、データ110が立ち上ってからT/4+α（α：初期位相差 0<α<=T/4）のクロック530を選択する。位相比較器521はインバータ510の出力とデータ110と比較しその位相差の信号を出力する。その後、この信号は、ループフィルタ522により低域制限され、保持回路523に入力する。保持回路523は保持番号540がH1の場合、ループフィルタ522の出力をそのままVCO524に与え、L0の場合、信号540が切り替わった時点のループフィルタ522の出力を保持する。これにより、データ110を受信していない場合には内部遅延が流れるのを防ぐことができる。保持番号540はデータ110を受信している場合H1、受信していない場合L0と設定される（ビット同期回路以外のシステムの場合は制御クロック120が得られ、データ110に同期した基準クロック120が得られ、データ110の出力の位相差をなくすように働く。これにより、データ110に同期した基準クロック120が得られる。この場合、上記αはT/4となり、データ110はデータの立ち上がりからちょうど半位相ずれたクロックでエラステティックストア150に書き込まれることになる。

[0021] 図6は、保持回路523を実現する一回路例を示すブロック図である。

[0022] 保持回路523は保持番号540を制御信号とスウィッチ610、フィルタ出力電圧を保持するコンデンサ620から構成されている。

[0023] 図7は、同期後のクロックの関係を示す図である。本発明には、位相3のクロックが選択されるが、ジッタが大きいと位相2のクロックが選ばれる可能性がある。このため、前述したように遅延素子146の遅延を

T/4+ジッタ幅（0<ジッタ幅<T/4）に設定している。

[0024] この第二の実施例は受信信号に対して、送信信号が周波数同期を要求される場合を用いることができる。

[0025]

[発明の効果] 以上、説明したように本発明のビット同期回路はカウンタを用いず、データの立ち上がりを利用し遅延素子の書き込みクロックを生成するたため、即時に同期引き込みが可能という効果を有する。

[図面の簡単な説明]

[図1] 本発明の第一の実施例を示すブロック図。

[図2] 従来の回路を示すブロック図。

[図3] (a)、(b)は、クロック多相化回路の構成例を示すブロック図。

[図4] 各クロックとデータの関係を示す波形図。

[図5] 第二の実施例を示すブロック図。

[図6] 保持回路の構成例を示すブロック図。

[図7] データと選択される位相の関係を示した図。

[符号の説明]

100 ビット同期回路

110 データ

120、270 基準クロック

130、240 クロック多相化回路

140 クロック選択回路

141、142、242 Dフリップフロップ

143 NOR回路

144 AND回路

145 OR回路

146、131、260 遅延素子

150 エラステティックストア

160 出力データ

170 多相クロック

220 システムクロック

230 分周回路

250 従来のクロック選択回路

251 セレクタ

252 フリップフロップカウンタ

241、510 インバータ

521 位相比較器

522 ループフィルタ

523 保持回路

524 電圧制御発振器

530 クロック選択回路出力

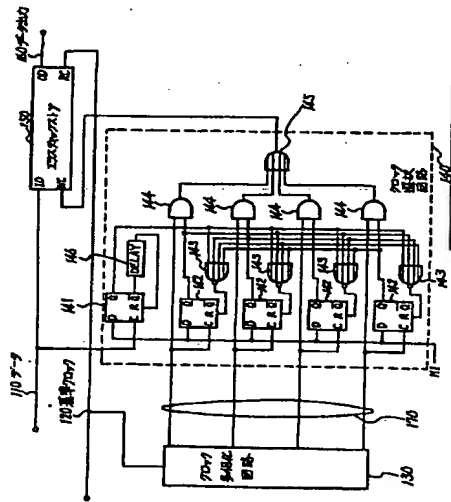
540 保持番号

610 スイッチ

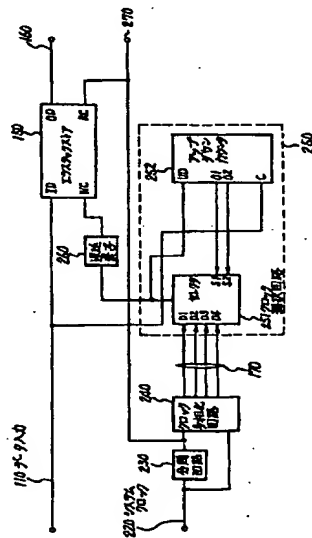
620 コンデンサ

Best Available Copy

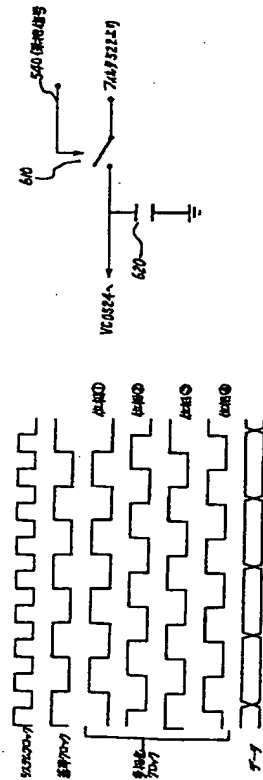
【図 1】



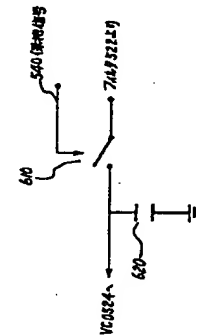
【図 2】



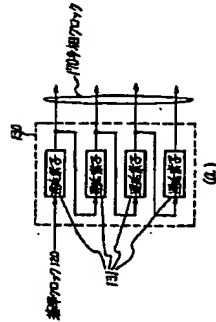
【図 4】



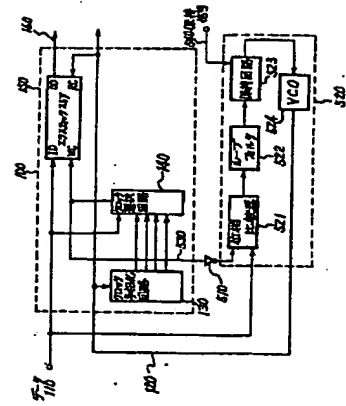
【図 6】



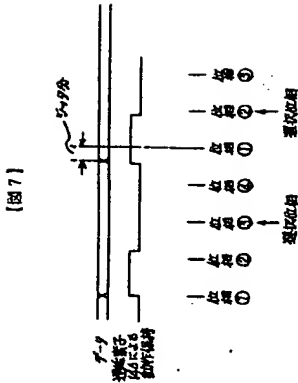
【図 3】



【図 5】



【図 7】



Best Available Copy